

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000078375 A**

(43) Date of publication of application: **14.03.00**

(51) Int. Cl.

H04N 1/19

G06T 1/00

G06T 1/60

(21) Application number: 10249858

(71) Applicant: **TOSHIBA CORP**

(22) Date of filing: 03.09.98

(72) Inventor: IWAI KENICHI

(54) IMAGE FORMING DEVICE

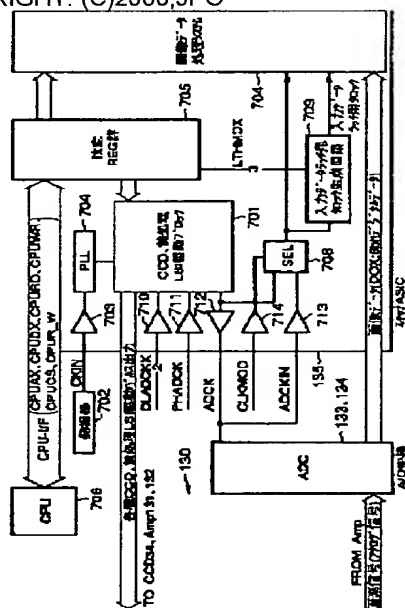
```
preprocessing LSI drive block 701 is changed.
```

(57) Abstract:

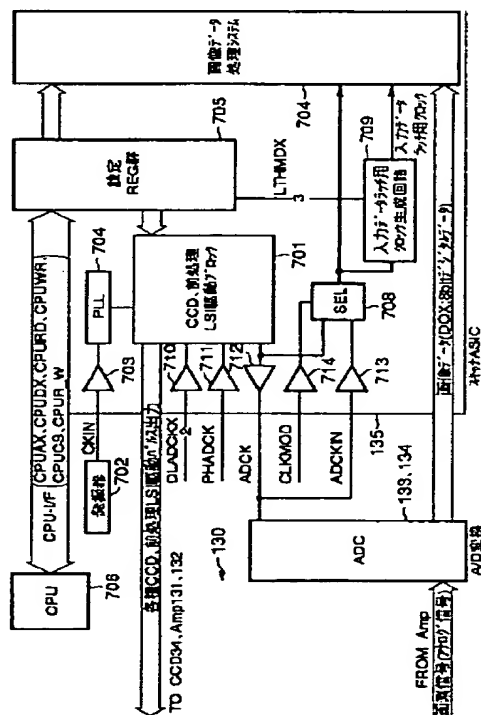
COPYRIGHT: (C)2000,JPO

PROBLEM TO BE SOLVED: To easily and surely deal with acceleration, while having high accuracy by providing a timing setting means for programmably setting the timing of a drive pulse which is supplied from a drive means from the outside.

SOLUTION: For various kinds of drive pulses generated by a charge coupling device(CCD) and a preprocessing LST drive block 701, the timing is programmably controlled from the outside in order to deal with the high-speed drive of all four-channel CCD and a preprocessing LSI system 130. With respect to a setting REG group 705 provided inside a high-speed scanner control ASIC 135, a register dedicated for setting a parameter for this timing control is provided outside the high speed scanner ASIC 135. For example, by setting the desired data through a CPU 706 or the like, the timing setting of various drive pulses generated by the CCD and



THIS PAGE BLANK (USPTO)



【特許請求の範囲】

【請求項 1】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積する蓄積手段と、

この蓄積手段に蓄積された電気信号を前記 1 ラインの素子における所定の複数の方向から読み出すと共に、各方向からの電気信号を合成してデジタル信号に変換した 1 ライン分の高速の入力画像データとして出力する前処理手段と、

この前処理手段から出力される 1 ライン分の高速の入力画像データを画素毎に取り込んで所定の画像データ処理を行う画像データ処理手段と、

この画像データ処理手段の内部に設けられ、前記蓄積手段と、前処理手段とに対して高速化対応を可能とする所定の駆動パルスを提供する駆動手段と、

この駆動手段から供給される駆動パルスのタイミング設定を外部よりプログラマブルに行うタイミング設定手段と、

を具備したことを特徴とする画像形成装置。

【請求項 2】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積する蓄積手段と、

この蓄積手段に蓄積された電気信号を前記 1 ラインの素子における所定の複数の方向から読み出すと共に、各方向からの電気信号を合成してデジタル信号に変換した 1 ライン分の高速の入力画像データとして出力する前処理手段と、

この前処理手段から出力される 1 ライン分の高速の入力画像データを画素毎に取り込んで所定の画像データ処理を行う画像データ処理手段と、

この画像データ処理手段の内部に設けられ、前記蓄積手段及び前処理手段とに対して高速化対応を可能とする所定の駆動パルス及びデジタル変換用のパルスを提供する駆動手段と、

この駆動手段から供給される駆動パルス及びデジタル変換用のパルスのタイミング設定を外部よりプログラマブルに行うタイミング設定手段とを具備し、

前記駆動手段から前記前処理手段に供給されるデジタル変換用のパルスを前記画像データ処理手段のマスタクロックとして兼用可能に構成したことを特徴とする画像形成装置。

【請求項 3】 光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積する蓄積手段と、

この蓄積手段に蓄積された電気信号を前記 1 ラインの素子における所定の複数の方向から読み出すと共に、各方向からの電気信号を合成してデジタル信号に変換した 1 ライン分の高速の入力画像データとして出力する前処理手段と、

この前処理手段から出力される 1 ライン分の高速の入力画像データを画素毎に取り込んで所定の画像データ処理を行う画像データ処理手段と、

この画像データ処理手段の内部に設けられ、前記蓄積手

段及び前処理手段とに対して高速化対応を可能とする所定の駆動パルス及びデジタル変換用のパルスを供給する駆動手段と、

この駆動手段から供給される駆動パルス及びデジタル変換用のパルスのタイミング設定を外部よりプログラマブルに行う第 1 のタイミング設定手段とを具備し、

前記駆動手段から前記前処理手段に供給されるデジタル変換用のパルスを前記画像データ処理手段のマスタクロックとして兼用可能に構成するもので、

前記画像データ処理手段において入力画像データを取り込む際の入力データラッチ用クロックを前記マスタクロックに基づいて生成する入力データラッチ用クロック生成手段と、

この入力データラッチ用クロック生成手段からの入力データラッチ用クロックに基づいて取り込んだ入力画像データを前記マスタクロックに同期させる手段と、

前記入力データラッチ用クロック生成手段からの入力データラッチ用クロックのタイミング設定を外部よりプログラマブルに行う第 2 のタイミング設定手段を備えたことを特徴とする画像形成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スキャナ部における画像読取り用の光電変換素子として、例えば、電荷結合素子（CCD）を用いるようにした画像形成装置において、特に、簡便且つ確実にして、しかも高精度を有して高速化対応を可能とした画像形成装置及びその制御方法に関する。

【0002】

【従来の技術】周知のように、電子複写機、デジタル複写機（PPC）、ファクシミリなどの画像形成装置においては、スキャナ部における画像読取り用の光電変換素子として、例えば、電荷結合素子（CCD）が用いられている。

【0003】この CCD の制御は、一般に、その読取りの速度が上がるほど画素送り出しの周波数が高くなり、その信号の取り扱いが困難になる。このため、従来より、中速デジタル PPC においては、CCD の画像領域における画素送り出しの分割を奇数（odd）と偶数（even）の 2 分割にして高速処理を行っている。

【0004】ところで、従来の中速デジタル PPC における CCD の駆動速度、つまり画素信号の転送レートはさほど高速ではないため、CCD の駆動パルス、前処理システムにおける Amp、ADC の駆動パルス生成手段、つまりスキャナ ASIC 内部の CCD、前処理 LSI 駆動ブロックに対して、特に、シビアなタイミング生成精度が要求されることはない。

【0005】すなわち、中速デジタル PPC における CCD の制御では、タイムスケールのみでもマージンに余裕があるため、タイミング調整用の設定手段もほとん

どなくして、つまりほぼ固定値で CCD、前処理 LSI (Amp, ADC) の要求仕様に応じた各駆動パルスのタイミング関係を形成することができる。

【0006】同様に、中速デジタル PPC 向けの CCD の制御では、Amp によってサンプリングされ信号増幅された CCD の画素信号 (アナログ信号) を ADC によって AD 変換して 8 bit のデジタル信号 (画像データ) としてスキャナ ASIC に入力し、シェーディング補正等のデータ処理を行う際の AD 変換速度についてもさほど高速ではない。

【0007】このため、中速デジタル PPC 向けの CCD の制御では、AD 変換クロックに同期して ADC より出力される画像データをスキャナ ASIC に入力する場合についても、特に、問題なく入力データをスキャナ ASIC 内部のクロックによってラッチすることができる。

【0008】

【発明が解決しようとする課題】スキャナ的高速化を図るために、高速デジタル PPC 向けの 4 チャンネル出力 CCD を用いて前処理システムを構成する場合には、CCD の駆動速度、つまり画素信号の転送レートがかなり高速になるため、CCD の駆動パルス、前処理システムにおける Amp の駆動パルス生成手段、つまりスキャナ ASIC 内部の CCD、前処理 LSI 駆動ブロックに対して非常にシビアなタイミング生成精度を要求されることになる。

【0009】すなわち、高速デジタル PPC における CCD の制御では、タイムスケールのみにても非常にわずかな時間のなかで CCD、前処理 LSI (Amp, ADC) の要求仕様に応じた各駆動パルスのタイミング関係を生成し、それを維持することが必要となってくる。

【0010】そのために、高速デジタル PPC における CCD の制御では、タイミング調整用の設定手段もあらたに必要となってくる。また、高速デジタル PPC における CCD の制御では、Amp によってサンプリングされ信号増幅された CCD からの画素信号 (アナログ信号) を ADC によって AD 変換して 8 bit のデジタル信号による画像データとしてスキャナ ASIC に入力し、シェーディング補正等のデータ処理を行う際の AD 変換速度についてもかなり高速となる。

【0011】このため、高速デジタル PPC における CCD の制御では、AD 変換クロックに同期して ADC より出力される画像データに対して確実にスキャナ ASIC 側でデータラッチするための入力手段が新たに必要となる。

【0012】つまり、中速デジタル PPC 向けの 2 チャンネル出力 CCD を用いて制御するという従来技術のままでは、高速デジタル PPC 向けの 4 チャンネル出力 CCD を用いて制御するようにしても高速化対応を図ることができないという問題がある。

【0013】そこで、本発明は、以上のような点に鑑みてなされたもので、スキャナ部における画像読取り用の光電変換素子として、例えば、電荷結合素子 (CCD) を用いるようにした画像形成装置において、特に、簡便且つ確実にして、しかも高精度を有して高速化対応を可能とした画像形成装置を提供することを目的としている。

【0014】

【課題を解決するための手段】本発明によると、上記課題を解決するために、光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積する蓄積手段と、この蓄積手段に蓄積された電気信号を前記 1 ラインの素子における所定の複数の方向から読み出すと共に、各方向からの電気信号を合成してデジタル信号に変換した 1 ライン分の高速の入力画像データとして出力する前処理手段と、この前処理手段から出力される 1 ライン分の高速の入力画像データを画素毎に取り込んで所定の画像データ処理を行う画像データ処理手段と、この画像データ処理手段の内部に設けられ、前記蓄積手段と、前処理手段とに対して高速化対応を可能とする所定の駆動パルスを供給する駆動手段と、この駆動手段から供給される駆動パルスのタイミング設定を外部よりプログラマブルに行うタイミング設定手段と、を具備したことを特徴とする画像形成装置が提供される。

【0015】また、本発明によると、上記課題を解決するために、前記駆動手段から前記前処理手段に供給されるデジタル変換用のパルスを前記画像データ処理手段のマスタクロックとして兼用可能に構成したことを特徴とする画像形成装置が提供される。

【0016】また、本発明によると、上記課題を解決するために、前記駆動手段から供給される駆動パルス及びデジタル変換用のパルスのタイミング設定を外部よりプログラマブルに行う第 1 のタイミング設定手段と、前記入力データラッチ用クロック生成手段からの入力データラッチ用クロックのタイミング設定を外部よりプログラマブルに行う第 2 のタイミング設定手段備えたことを特徴とする画像形成装置が提供される。

【0017】

【発明の実施の形態】以下、この発明の一実施の形態について図面を参照して説明する。図 1 は、本発明が適用されるデジタル複写機の要部の概略構成を示すものである。

【0018】すなわち、このデジタル複写機の要部は、上述したようにスキャナ部 4、画像処理部 5、プリンタ部 6 から構成されている。図 1 に示すように、このデジタル複写機の要部による原稿画像の読み込みは、原稿面に露光ランプ 25 で直接光をあてて、その反射光による光画像をミラー 26、30、31、結像レンズ 32 を用いて 4 チャンネル出力 CCD 34 まで導くことによって行われる。

【0019】そして、4チャンネル出力CCD34は、光画像を光電変換することによって複数（例えば600dpiの場合7500個）のそれぞれの受光素子毎に電荷信号に置き換える。

【0020】この電荷信号は、4チャンネル出力CCD34内部の後述するCCDアナログシフトレジスタによってアナログ信号として順番に転送出力される。図1に示すように、制御システムは、4チャンネル出力CCD34を含んだ読み込み制御部81、ページメモリボード82、編集ボード83、画像処理部84と書き込み制御部85、レーザ駆動部87、ポリゴンモータドライブ88とを有し、半導体レーザ41からのレーザ光がポリゴンミラー36で偏向されて感光体ドラム44へ導かれるように構成されている。

【0021】図2は、4チャンネル出力CCD34の構成を詳細に示したもので、順番に配列された受光素子（フォトダイオード等）S1～S7500、シフトゲート101、シフトゲート102、CCDアナログシフトレジスタ111～114、出力バッファ121～124で構成される。

【0022】図2に示すように、4チャンネル出力CCD34の場合は、信号出力が偶数成分と奇数成分を、さらにそれぞれを左右に分割して4系統の出力構成としているため、CCDアナログシフトレジスタ111、112、113、114が4つ存在する。

【0023】したがって、CCDアナログシフトレジスタ111によって奇数成分の左端の受光素子による信号より順番に転送出力され、アナログシフトレジスタ112によって偶数成分の左端の受光素子による信号より順番に転送出力され、アナログシフトレジスタ113によって奇数成分の右端の受光素子による信号より順番に転送出力され、アナログシフトレジスタ114によって偶数成分の右端の受光素子による信号より順番に転送出力されることになる。

【0024】また、奇数成分、偶数成分それぞれの左右から出力される最後の信号は、受光素子S1～S7500の中央にて、隣り合って並ぶ受光素子S3749、S3750、S3751、S3752による信号となる。

【0025】この4チャンネル出力CCD34を駆動するために必要な制御信号（転送クロック、シフトゲート信号、リセット信号、クランプ信号）は、後述する高速スキャナ制御ASICのCCD駆動機能により生成される。

【0026】図3は、読み込み制御部81に搭載される4チャンネル出力CCD34における画像データの転送を行う前処理システム130と、高速スキャナ制御ASIC135の構成を示すものである。

【0027】なお、前処理システム130は、アンプ131、132、A/Dコンバータ133、134とから構成されている。前処理システム130において、4チ

ャンネル出力CCD34から出力されたアナログ信号は、アンプ（Amp：アナログ信号処理集積回路）131、132において画素信号毎にサンプリングされた後、信号増幅される。

【0028】ここで使用するアンプ131、132は、1チップで2チャンネル分の処理が並列（パラレル）で可能である。そして、アンプ131には、4チャンネル出力CCD34の画素信号の奇数成分の左右2チャンネル（出力端子OS1、OS3）が入力される。

【0029】また、アンプ132には、4チャンネル出力CCD34の画素信号の偶数成分の左右2チャンネル（出力端子OS2、OS4）が入力される。それぞれのアンプ131、132内部においては、4チャンネル出力CCD34の左右からの2チャンネルの画素信号が並列で処理（サンプリング及び信号増幅）され、その後で、1チャンネルに合成（マルチプレクス）される。

【0030】すなわち、アンプ131においては奇数成分の左右の信号を合成して1チャンネルに、アンプ132においては偶数成分の左右の信号を合成して1チャンネルにし、それぞれアンプ131、132より出力するという方式をとっている。

【0031】これはアンプ131では4チャンネル出力CCD34の奇数成分の左右の画素信号をまとめて処理し、アンプ132では4チャンネル出力CCD34の偶数成分の左右の画素信号をまとめて処理するという構成である。

【0032】このような構成をとることにより、4チャンネル出力CCD34の出力信号の偶数成分、奇数成分、それぞれの左右の信号の歪みがアンプ（131、132）のチップ間のバラツキ（チップ差による回路特性のばらつき）に依存しないようにするための配慮がなされている。

【0033】また、この場合、アンプ131、132からの信号出力レートは、アンプ131、132への信号入力レートの2倍となる。このアンプ131、132より出力される信号処理の上で適切なレベルまで増幅された画素毎のアナログ信号は、A/Dコンバータ（ADC133、134）によってAD変換されてデジタル信号となる。

【0034】すなわち、アンプ131は、4チャンネル出力CCD34から出力された奇数成分の左右2チャンネルの画素信号をそれぞれ並列でサンプリングして信号増幅した後、さらに、これらの信号を1チャンネルに合成する。

【0035】このアンプ131より出力されるアナログ信号については、A/Dコンバータ133によってAD変換するようになっている。また、アンプ132は、4チャンネル出力CCD34から出力された偶数成分の左右2チャンネルの画素信号をそれぞれ並列でサンプリングして信号増幅した後、さらに、これらの信号を1チャ

ネルに合成する。

【0036】このアンプ132より出力されるアナログ信号については、A/Dコンバータ134によってAD変換するようになっている。また、ここで使用するA/Dコンバータ133、134の分解能は、8ビット（bit：256ステップ）なので、画素データとしては1画素あたり8ビットデータとなる。

【0037】このように4チャンネル出力CCD34にて読込まれた画像情報（光画像データとして4チャンネル出力CCD34に入力されるもの）に基づいて、4チャンネル出力CCD34より出力される画素信号（アナログ信号）をアンプ131、132にて信号増幅及び合成し、それらの信号をA/Dコンバータ133、134によってAD変換してデジタル信号にすると一連の処理がスキャナ部4における前処理と呼ばれる。

【0038】この前処理を実行する各部が前処理システム130を構成する。また、アンプ131、132を駆動するために必要な制御信号（サンプルホールドパルス、合成信号、クランプ信号）及びA/Dコンバータ133、134においてAD変換処理に必要なAD変換用クロックについては、高速スキャナ制御ASIC135の前処理LSI駆動機能より生成される。

【0039】このようにして前処理が施された画像情報に基づく画素信号（1画素あたり8ビットデータ、以下画像データと記述する）は、高速スキャナ制御ASIC135へと入力され、高速スキャナ制御ASIC135内部においてシェーディング補正処理及び左右補正処理、ラスタ変換処理が施される。

【0040】図4は、高速スキャナ制御ASIC135の構成を示すものである。すなわち、この高速スキャナ制御ASIC135は、バス幅変換回路140、シェーディング補正回路141、142、143、144、バスセレクト回路（SEL）147、148、左右補正回路160、ビット反転回路161、162、163、164、及びラスタ変換回路165から構成されている。

【0041】前述したように、前処理システム130で前処理が施された画像データは、DOAX（8ビット：奇数成分の左右合成されたデータ）及びDOBX（8ビット：偶数成分の左右合成されたデータ）として2チャンネルで高速スキャナ制御ASIC135に入力される。

【0042】ここで、高速スキャナ制御ASIC135内部における全ての処理は、前処理システム130においてデジタル化された画像データに対して行われるものである。

【0043】これらの画像データは、まずバス幅変換回路140を通ることにより奇数成分、偶数成分それぞれにおいて左のデータと右のデータに分けられる。すなわち、奇数成分の左右合成されたデータであるDOAX

X（8ビット：奇数成分の左のデータ）とDOA2X（8ビット：奇数成分の右のデータ）とに分解される。

【0044】また、偶数成分の左右合成されたデータであるDOBX（8ビット）は、バス幅変換回路140によりDOB1X（8ビット：偶数成分の左のデータ）とDOB2X（8ビット：偶数成分の右のデータ）とに分解される。

【0045】したがって、バス幅変換回路140によって2チャンネルで入力される画像データは4チャンネルに分解されるため、例えば、画像データのデータレートが2チャンネルで1チャンネル当り40MHzとしてDOAX、DOBXより入力された場合、バス幅変換処理後の出力としての画像データは4チャンネルで1チャンネル当り20MHzとしてDOA1X、DOA2X、DOB1X、DOB2Xに変換された状態で出力され、次段に入力されることになる。

【0046】バス幅変換処理により分解されたそれぞれの画像データDOA1X（8ビット：奇数成分の左のデータ）、DOA2X（8ビット：奇数成分の右のデータ）、DOB1X（8ビット：偶数成分の左のデータ）、DOB2X（8ビット：偶数成分の右のデータ）は、シェーディング補正回路141、142、143、144によりシェーディング補正処理が施される。

【0047】また、図4に示すように高速スキャナ制御ASIC135の場合、シェーディング補正回路を4つ準備することにより、バス幅変換処理された4チャンネルの画像データDOA1X、DOA2X、DOB1X、DOB2Xをそれぞれ並列で同時に処理できるような構成をとっている。

【0048】このようにして、シェーディング補正されたそれぞれの画像データは、左右補正回路160によって偶数成分、奇数成分それぞれの左右のデータに対して補正処理されると共に、ビット反転回路161、162、163、164でビット反転された後、ラスタ変換回路165によって画像データの並び順の整列化処理が行われる。

【0049】なお、画像濃度に対する画像データの各画素毎に生じる濃度勾配的な偏差の影響については、シェーディング補正機能により補正され、画像濃度に対する左右の画像データ間（信号伝達経路間（処理経路間））に生じるリニアリティ的な偏差の影響については左右補正回路160により補正される。

【0050】このように高速スキャナ制御ASIC135内部において、これら一連の処理が施された画像データは、AIDTAX（8ビット）、AIDTBX（8ビット）、AIDTCX（8ビット）、AIDTDX（8ビット）として高速スキャナ制御ASIC135より出力され、画像処理ASIC84へと受け渡される。

【0051】画像処理ASIC84に入力された画像データは、画像処理ASIC84内部において、フィルタ

（8ビット）は、バス幅変換回路140によりDOA1

リング処理、レンジ補正処理、倍率変換（拡大、縮小）処理、 γ 補正濃度変換処理、階調処理といった画像処理による一連のデータ加工処理が施される。

【0052】ところで、スキャナ的高速化を図るために、上述したような高速デジタルPPC向けの4チャンネル出力CCDを用いて前処理システムを構成する場合には、CCDの駆動速度、つまり画素信号の転送レートがかなり高速になるため、CCDの駆動パルス、前処理システムにおけるAmpの駆動パルス生成手段、つまりスキャナASIC内部のCCD、前処理LSI駆動ブロックに対して非常にシビアなタイミング生成精度を要求されることになる。

【0053】すなわち、高速デジタルPPCにおけるCCD等の制御では、タイムスケールのみにても非常にわずかな時間のなかでCCD、前処理LSI（Amp、ADC）の要求仕様に応じた各駆動パルスのタイミング関係を生成し、それを維持することが必要となってくる。

【0054】そのために、高速デジタルPPCにおけるCCD等の制御では、CCD、前処理LSI（Amp、ADC）の要求仕様に応じた各駆動パルスのタイミング調整用の設定手段もあらたに必要となってくる。

【0055】また、高速デジタルPPCにおけるCCD等の制御では、Ampによってサンプリングされ信号増幅されたCCDからの画素信号（アナログ信号）をADCによってAD変換して8bitのデジタル信号による画像データとしてスキャナASICに入力し、シェーディング補正等のデータ処理を行う際のAD変換速度についてかなり高速となる。

【0056】このため、高速デジタルPPCにおけるCCD等の制御では、AD変換クロックに同期してADCより出力される画像データに対して確実にスキャナASIC側でデータラッチするための入力手段が新たに必要となる。

【0057】これらの要求をみたすには、従来技術の項で述べたように、中速デジタルPPC向けの2チャンネル出力CCDを用いて制御するという従来技術のままでは、高速デジタルPPC向けの4チャンネル出力CCDを用いて制御するようにしても高速化対応を図ることができないという問題がある。

【0058】そこで、次に、スキャナ部における画像読取り用の光電変換素子として、例えば、電荷結合素子（CCD）として高速デジタルPPC向けの4チャンネル出力CCDを用いるようにした画像形成装置において、特に、CCD、前処理LSI（Amp、ADC）の要求仕様に応じた各駆動パルスのタイミング調整用の設定手段及びAD変換クロックに同期してADCより出力される画像データに対して確実にスキャナASIC側でデータラッチするための入力手段を備えることにより、簡便且つ確実にして、しかも高精度を有して高速化対応を可能とした画像形成装置及びその制御方法を提供する

ためになされた本発明の要部について説明する。

【0059】この発明による画像形成装置は、主として、例えば、高速デジタルPPCのスキャナ制御ASICに適用される。図5は、本発明の要部の構成を示すブロック図である。

【0060】すなわち、図5において、太線にて強調されている部分が本発明に関係する部分である。本発明は、後述するように、大きくは3つの手段に別れているが、これらの3つの手段に触れる前に、まずは、図5を用いて、高速化対応されたスキャナASIC（高速スキャナ制御ASIC）135の内部に設けられるCCD、前処理LSI駆動ブロック701について説明する。

【0061】このCCD、前処理LSI駆動ブロック701は、高速スキャナ制御ASIC135の外部に設けられる発信器702からの、例えば、10MHzの原クロック（CKIN）を入力バッファ回路703を介して位相同期回路（PLL）704で4倍した40MHzのクロック信号に基づいて各種駆動パルスを生成するものである。

【0062】そして、このCCD、前処理LSI駆動ブロック701で生成される各種駆動パルスは、全て前述したような4チャンネル出力CCD34及び前処理（LSI）システム130の高速駆動に対応するために、そのタイミング調整が外部よりプログラマブルに行えるようになっている。

【0063】これらのタイミング調整のためのパラメータ設定用の専用レジスタが高速スキャナ制御ASIC135の内部に設けられる設定REG群705内に備えられている。

【0064】このパラメータ設定用の専用レジスタを備えている設定REG群705に対して、高速スキャナ制御ASIC135の外部に設けられる、例えば、CPU706等によって所望のデータをセットしてやることにより、CCD、前処理LSI駆動ブロック701で生成される各種駆動パルスのタイミング設定を変更することが可能となっている。

【0065】つまり、CCD、前処理LSI駆動ブロック701は、一種のタイミングジェネレータとして機能することになる。そして、前処理LSI駆動ブロック701で生成される各種駆動パルスとして、前述したような前処理（LSI）システム130内のA/Dコンバータ（ADC）133、134のためのAD変換用クロック（以下ADCK）については、タイミング調整用に専用の外部入力端子（PHADCK、DLADCKX）を前処理LSI駆動ブロック701に備えておくことにより、そのタイミング設定を入力バッファ回路710、711を介して外部から変更することができるようになっている。

【0066】後にも述べるが、このADCKについては、高速スキャナ制御ASIC135の内部に設けられ

る画像データ処理システム707のマスタクロックとして兼用するため、電源ON時にハード的に設定を確定しておく必要があるために、そのタイミング設定を変更することが可能となされているものである。

【0067】前述したように、高速スキャナ制御スキャナASIC135の内部に設けられるCCD、前処理LSI駆動ブロック701で生成される各種駆動パルスは、全て前述したような4チャンネル出力CCD34及び前処理(LSI)システム130の高速駆動に対応するために、タイミング調整を外部よりプログラマブルに
10 行えるようになっている。

【0068】つまり、これは、CCD、前処理LSI駆動ブロック701で生成される各種駆動パルスを、4チャンネル出力CCD34及び前処理(LSI)システム130の駆動仕様を満たすために、高速スキャナ制御ASIC135内の設定REG群705内に備えられている専用のタイミング調整用レジスタのパラメータ設定範囲内において、いかなる設定をした場合においても、高速スキャナ制御ASIC135としては、前処理(LSI)システム130内のA/Dコンバータ(ADC)1
20 33、134から入力されてくる画像データを確実に取込めるようにしなければならないためである。

【0069】また、前処理(LSI)システム130において、前述したアンプ131、132つまりAmpによってサンプリングされると共に、信号増幅された4チャンネル出力CCD34からの画素信号(アナログ信号)をADC133、134によってAD変換することにより、8bitのデジタル信号化された画像データ(DOX)の転送レートは、非常に高速である。

【0070】しかも、高速スキャナ制御ASIC135
30 よりADC133、134に対して出力されるADCKのASIC外部、つまり基板上の伝達経路条件により生じるASIC内部のADCKとのディレイ、及びASICよりADCに対して出力されたADCKに対するADCのデータ出力遅延等を考慮する必要がある。

【0071】したがって、本発明では、これらの対応として上述した3つの手段をとるものであり、これらの手段について以下に説明する。

<手段その1>すなわち、本発明では、まず、ADC133、134に対して高速スキャナ制御ASIC135
40 内のCCD、前処理LSI駆動ブロック701より出力バッファ回路712を介して供給するADCKを、後述する高速スキャナ制御ASIC135の内部に設けられるセクタ(SEL)708を介して同ASIC135内部の画像データ処理システム707のマスタクロックとして兼用するようにしている。

【0072】こうすることによって、高速スキャナ制御ASIC135内のCCD、前処理LSI駆動ブロック701よりCCD34、アンプ(Amp)131、132へ供給する駆動パルスのタイミングを調整した場合に
50

においても、常に、ADCK基準でADC133、134からの出力データに対して高速スキャナ制御ASIC135側はデータ入力タイミングの同期をとることができるようになる。

【0073】つまり、CCD34より出力される画素信号は、高速スキャナ制御ASIC135より出力される駆動パルスに基づいて出力され、Amp131、132により信号増幅され、ADC133、134によりAD変換されるため、CCD34、Amp131、132の各駆動パルスとADCKは常に適切なタイミング関係を維持する必要がある。

【0074】つまり、CCD34、Amp131、132への駆動パルスのタイミングを調整した場合、ADCKとしても、それに合わせて適切なタイミングに調整してやることができるようになる。

【0075】また、ADC133、134によりAD変換されて出力される画像データ(DOX)は、ADCKに同期して出力される。したがって、高速スキャナ制御ASIC135としては、この画像データを取込む場合の入力データラッチタイミングが、この場合、ADCKそのもの、あるいはADCKに同期して生成される内部信号であることが好ましいということになる。

【0076】つまり、CCD34、Amp131、132への駆動パルスのタイミングを調整することによってADCKを調整しても、常に、この調整分はキャンセルされるわけである。

【0077】これは、つまり、高速スキャナ制御ASIC135内部の画像データ処理システム707のマスタクロック=ADCKとすることを意味している。

<手段その2>次に、本発明では、高速スキャナ制御ASIC135内部の画像データ処理システム707のマスタクロック(=ADCK)は、ASIC135内部にて直接供給する系統と、高速スキャナ制御ASIC135よりADC133、134に対して出力されたADCKを専用の入力端子(ADCKIN)より入力バッファ回路713を介してフィードバック供給する系統とを高速スキャナ制御ASIC135の内部に設けられるセクタ(SEL)708により選択することができるようにする。

【0078】この選択は、高速スキャナ制御ASIC135に設けられる専用のモード設定用外部入力端子(CLKMOD)より入力バッファ回路714を介して供給する信号の設定により外部的に決定される。

【0079】すなわち、例えば、CLKMODより入力バッファ回路714を介してセクタ(SEL)708に供給される信号が“1”のとき、この<手段その2>ではADCKINが用いられる。

【0080】なお、CLKMODがより入力バッファ回路714を介してセクタ(SEL)708に供給される信号が“0”のときには、前述した<手段その1>と

同様にのようにADCKが用いられるようになる。

【0081】そして、この<手段その2>では、ADC KINまたはADCKのいずれかを選択して用いるということは、高速スキャナ制御ASIC135内部の画像データ処理システム707のマスタクロックとして使用するADCKにおいて、同ASIC135よりADC133、134に対して出力されたADCKのASIC135外部、つまり基板上の伝達経路条件の違いにより生じるASIC135内部のADCKとのディレイにより生じるデータラッチタイミングへの影響をキャンセルするために必要となる手段である。

<手段その3>さらに、本発明では、高速スキャナ制御ASIC135での画像データ(DOX)に対する入力データラッチ用クロックを、前述したセクタ(SEL)708からのマスタクロックの反転を用いて専用に高速スキャナ制御ASIC135の内部に設けられる入力データラッチ用クロック生成回路709により生成することができるようにする。

【0082】そして、まず、この入力データラッチ用クロック生成回路709からのクロックによってADC133、134から出力されてくる画像データ(DOX)を高速スキャナ制御ASIC135内部の画像データ処理システム707により一度ラッチしてから、画像データ処理システム707の内部でラッチした画像データ(DOX)を再度マスタクロックに同期させるようにしてある。

【0083】さらに、この入力データラッチ用クロック生成回路709からの入力データラッチ用クロックによる入力データのラッチタイミングは、前述した高速スキャナ制御ASIC135内の設定REG群705に準備されているラッチタイミング設定用の専用レジスタ(LTHMODX)の信号に対応するビットのデータを所望のデータにセットすることにより、例えば、外部のCPU706からプログラマブルに設定可能となっている。

【0084】このようにしてラッチタイミング設定用の専用レジスタ(LTHMODX)の信号に基づいて入力データラッチ用クロック生成回路709によりタイミング設定がなされた入力データラッチ用クロックは、前述した高速スキャナ制御ASIC135の内部に設けられている画像データ処理システム707に供給されることにより、ADC133、134から出力されてくる画像データ(DOX)を高速化対応を可能とする適切なタイミングでラッチする。

【0085】このようにして、本発明では、例えば、高速デジタルPPCのスキャナ制御ASICに適用される場合のように、1ライン分の高速の入力画像データを画素毎に確実に取り込むことが可能となると共に、実装条

件によるタイミングの合わせ込みも可能となる。

【0086】

【発明の効果】以上詳述したようにこの発明によれば、スキャナ部における画像読取り用の光電変換素子として、例えば、電荷結合素子(CCD)として高速デジタルPPC向けの4チャンネル出力CCDを用いるようにした画像形成装置において、特に、CCD、前処理LSI(Amp, ADC)の要求仕様に応じた各駆動パルスのタイミング調整用の設定手段及びAD変換クロックに同期してADCより出力される画像データに対して確実にスキャナASIC側でデータラッチするための入力手段を備えることにより、簡便且つ確実にして、しかも高精度を有して高速化対応を可能とした画像形成装置を提供することができる。

【図面の簡単な説明】

【図1】この発明による画像形成装置として適用されるデジタル複写機の概略構成を示す図。

【図2】4チャンネル出力CCDの構成を示す図。

【図3】前処理システムと高速スキャナ制御ASICの構成を示す図。

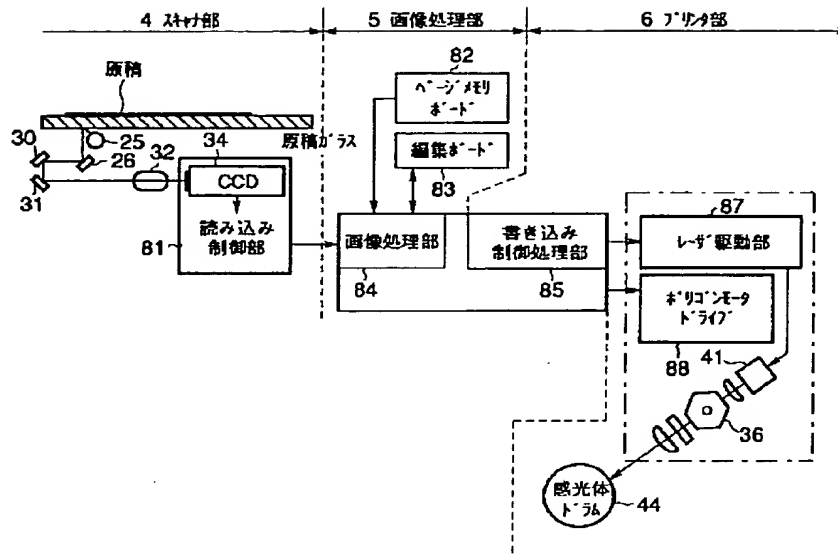
【図4】高速スキャナ制御ASICの構成を示すブロック図。

【図5】本発明の要部の構成を示すブロック図。

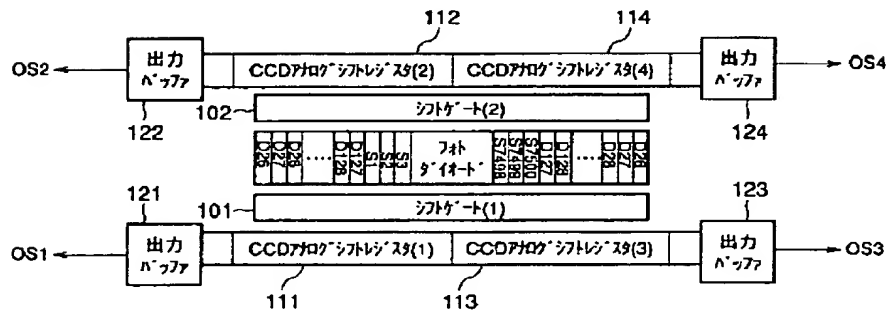
【符号の説明】

4…スキャナ部、
5…画像処理部、
6…プリンタ部、
34…4チャンネル出力CCD、
84…画像処理ASIC、
130…前処理システム
131、132…アンプ、
133、134…A/Dコンバータ(ADC)、
135…高速スキャナ制御ASIC
701…CCD、前処理LSI駆動ブロック、
702…発信器、
703…入力バッファ回路、
704…位相同期回路(PLL)、
705…設定REG群、
706…CPU、
707…画像データ処理システム、
708…セクタ(SEL)、
709…入力データラッチ用クロック生成回路、
710…入力バッファ回路、
711…入力バッファ回路、
712…出力バッファ回路、
713…入力バッファ回路、
714…入力バッファ回路。

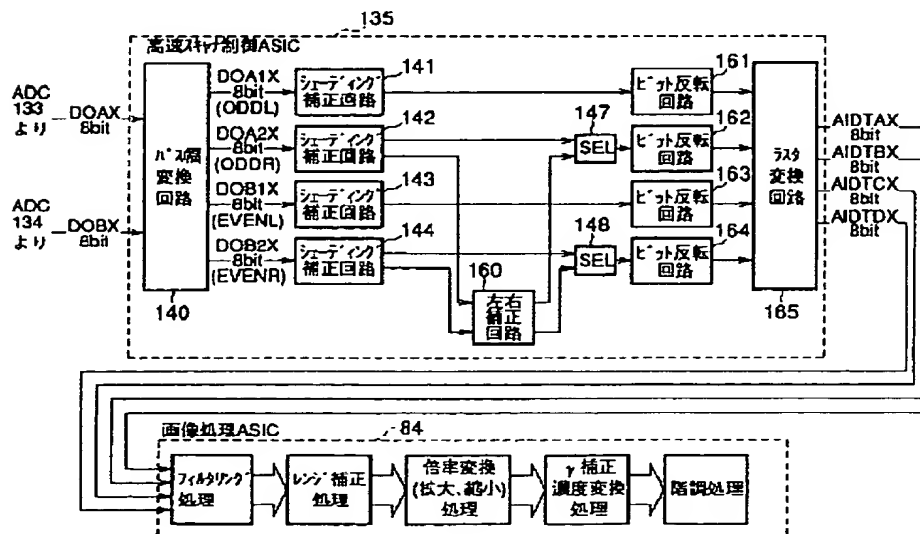
【図 1】



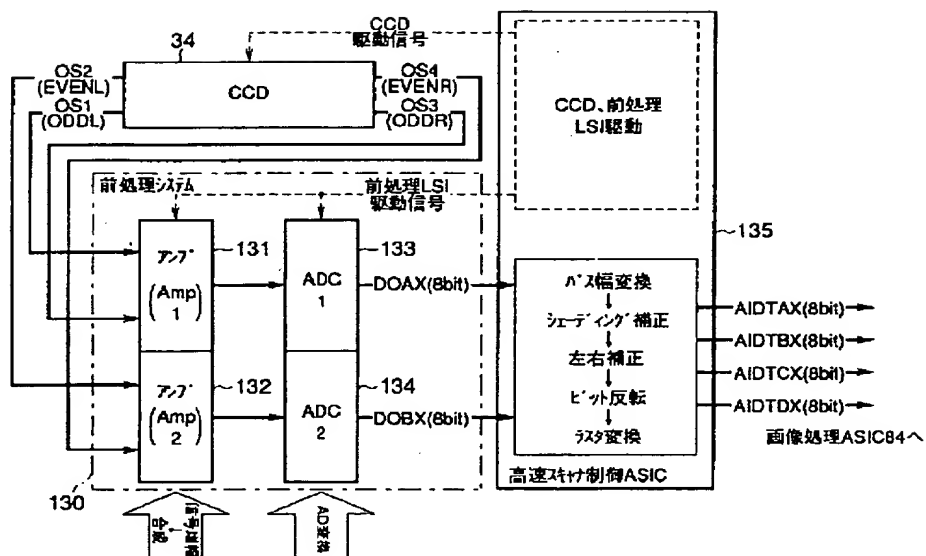
【図 2】



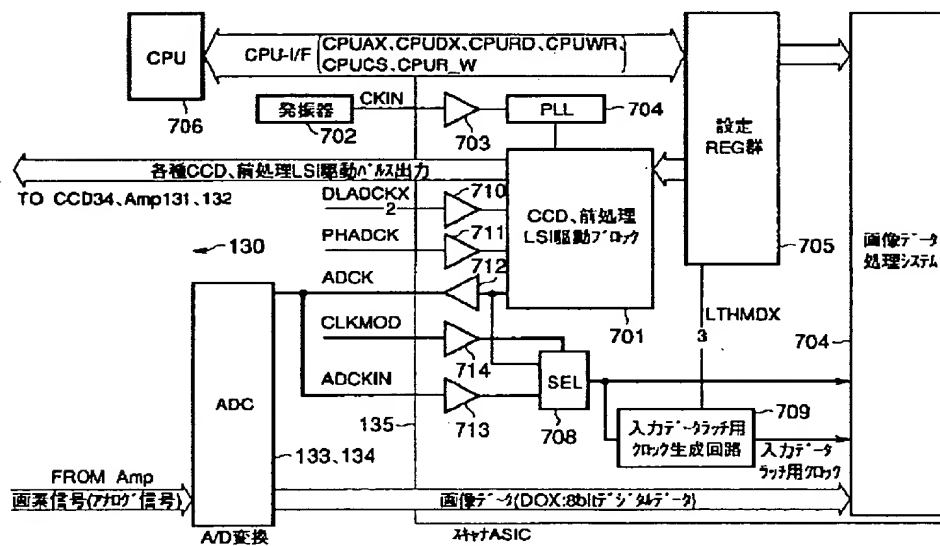
【図 4】



【図 3】



【图 5】



フロントページの続き

Fターム(参考) 5B047 AA01 BB02 BC05 BC14 CB17
CB25 DA04 DB01 EA02 EA07
EB03
5B050 AA10 BA10 BA16 CA05 CA06
DA02 DA03 EA02
5C072 AA01 AA03 AA05 BA13 CA06
EA05 HA02 HA13 JA07 UA06
UA11 UA12 XA01

THIS PAGE BLANK (USPTO)